



特性

超低功耗: 0.58mA/通道(1Mbps 时)

高速率: 200Mbps

高 CMTI 值:

π13xx3x: 典型值 75kV/μs

π13xx6x: 典型值 120kV/μs

对辐射和传导噪声的高抗干扰能力

低传输延时: 典型值 9ns

隔离电压:

π13xx3x: 交流 3000Vrms

π13xx6x: 交流 5000Vrms

增强 ESD 防护能力:

ESDA/JEDEC JS-001-2017

HBM 模式±8kV

安规认证:

UL 认证编号: E494497

符合 UL1577 标准 3000V/5000VRMS 隔离电压

CSA 器件验收通知 5A

VDE 认证编号: 40053041/40052896

最大重复峰值隔离电压 565V/1200V,

符合 DIN VDE V 0884-11:2017-01

符合 GB4943.1-2011 的 CQC 认证

3V 至 5.5V 电平转换

AEC-Q100 认证

宽温度范围: -40°C~125°C

符合 RoHS 要求的 NB SOIC-16, WB SOI-16 和 SSOP16 封装

应用

通用多通道隔离

工业现场总线隔离

工业自动化系统

隔离式开关电源

隔离 ADC, DAC

电机控制

概述

π1xxxx 系列数字隔离器产品是荣湃半导体设计的产品, 包含数百种型号。基于荣湃半导体独有的 *iDivider*® 技术和成熟的标准半导体 CMOS 工艺, π1xxxx 系列数字隔离器具有出色的性能特征和可靠性, 整体性能优于光耦和基于其他原理的数字隔离器产品。

智能分压技术 (*iDivider*® 技术) 是荣湃半导体发明的新一代数字隔离器技术。智能分压技术 (*iDivider*® 技术) 利用电容分压原理,

在不需要调制和解调的情况下, 实现电压信号跨越隔离介质精准传输。

荣湃半导体数字隔离器 π1xxxx 系列产品传输通道间彼此独立, 可实现多种传输方向的配置, 可实现 1.5kV rms 到 5.0kV rms 隔离耐压等级和 DC 到 600Mbps 信号传输。该系列产品支持 3.0V 到 5.5V 的工作电压, 并支持 3.0V 到 5.5V 信号电平转换。当输入电源不供电或无输入信号, 输出电源供电正常的情况下, 隔离器输出默认电平。

功能框图

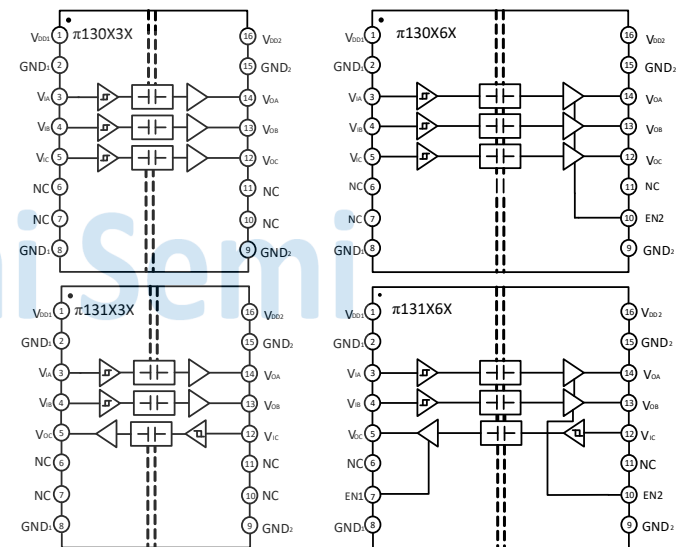


图 1. π130xxx/π131xxx 功能框图

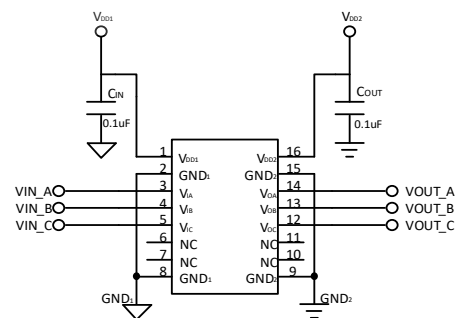


图 2. π130x3x 应用简图

管脚定义和功能描述

表 1. π130Exx 管脚定义和功能描述

管脚	名称	描述
1	VDD ₁	隔离器原边供电电源
2	GND ₁	隔离器原边供电电源参考地
3	VIA	输入 A
4	VIB	输入 B
5	VIC	输入 C
6	NC	空管脚
7	NC	空管脚
8	GND ₁	隔离器原边供电电源参考地
9	GND ₂	隔离器副边供电电源参考地
10	NC/EN2	π130E3X 器件此管脚为空。
		π130E6X 器件此管脚为输出使能管脚。当 EN2 为高电平或者不接任何信号时，V _{OA} 、V _{OB} 、V _{OC} 允许输出；当 EN2 为低电平时，V _{OA} 、V _{OB} 、V _{OC} 为高阻态。
11	NC	空管脚
12	VOC	输出 C
13	VOB	输出 B
14	VOA	输出 A
15	GND ₂	隔离器副边供电电源参考地
16	VDD ₂	隔离器副边供电电源

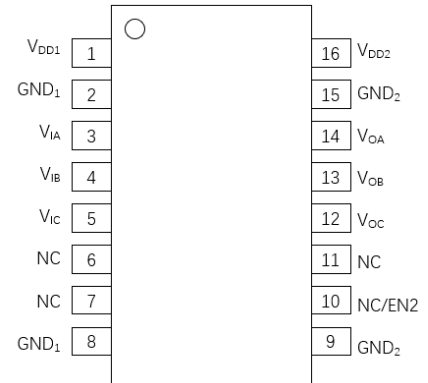


图 3.π130Exx 管脚定义

表 2.π131Exx 管脚定义和功能描述

管脚	名称	描述
1	VDD ₁	隔离器原边供电电源
2	GND ₁	隔离器原边供电电源参考地
3	VIA	输入 A
4	VIB	输入 B
5	VOC	输出 C
6	NC	空管脚
7	NC/EN1	π131E3X 器件此管脚为空。
		π131E6X 器件此管脚为输出使能管脚。当 EN1 为高电平或者不接任何信号时，V _{OC} 允许输出；当 EN1 为低电平时，V _{OC} 为高阻态。
8	GND ₁	隔离器原边供电电源参考地
9	GND ₂	隔离器副边供电电源参考地
10	NC/EN2	π131E3X 器件此管脚为空。
		π131E6X 器件此管脚为输出使能管脚。当 EN2 为高电平或者不接任何信号时，V _{OA} 、V _{OB} 允许输出；当 EN2 为低电平时，V _{OA} 、V _{OB} 为高阻态。
11	NC	空管脚
12	VIC	输入 C
13	VOB	输出 B
14	VOA	输出 A
15	GND ₂	隔离器副边供电电源参考地
16	VDD ₂	隔离器副边供电电源

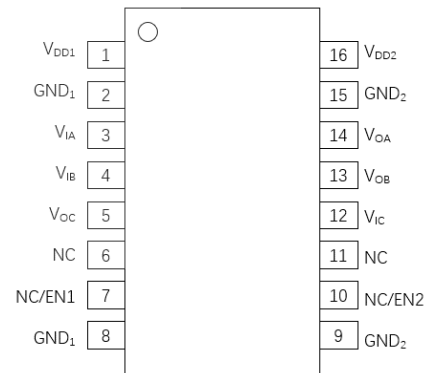


图 4.π131Exx 管脚定义

绝对最大额定值

表 3. 绝对最大额定值⁴

TA = 25°C, 除非另有说明.

参数	绝对最大额定值
供电电压(V _{DD1} -GND ₁ , V _{DD2} -GND ₂)	-0.5 V ~ +7.0 V
输入信号电压 (V _{IA} , V _{IB}) ¹	-0.5 V ~ V _{DDx} + 0.5 V
输出电压(V _{OA} , V _{OB}) ¹	-0.5 V ~ V _{DDx} + 0.5 V
原边每通道输出平均电流(I _{O1})	-10 mA ~ +10 mA
副边每通道输出平均电流(I _{O2})	-10 mA ~ +10 mA
共模瞬变抗扰度 CMTI ³	-200 kV/μs ~ +200 kV/μs
存储温度范围 T _{ST}	-65°C ~ +150°C
工作环境温度范围 T _A	-40°C ~ +125°C

说明:

¹ V_{DDx} 是原边或副边电源 V_{DD}, 其中 x=1 或 2。² 有关不同温度下允许的最大额定电流值, 请参见“图 5”。³ 共模瞬变抗扰度 CMTI 的测量方法请参见“图 17”⁴ 应力达到或超过绝对最大额定值列出的参数可能会导致设备永久损坏。这些只是应力额定值, 不暗示在这些或任何其他超出本规范操作部分指示的条件下的功能运行。超出最大操作条件的长时间操作可能会影响产品的可靠性。

推荐工作条件

表 4. 推荐工作条件

参数	符号	最小值	典型值	最大值	单位
供电电压	V _{DDx} ¹	3		5.5	V
输入信号高电平	V _{IH}	0.7*V _{DDx} ¹		V _{DDx} ¹	V
输入信号低电平	V _{IL}	0		0.3*V _{DDx} ¹	V
输出高时输出电流	I _{OH}	-6			mA
输出低时输出电流	I _{OL}			6	mA
通信速率		0		200	Mbps
结温	T _J	-40		150	°C
环境温度	T _A	-40		125	°C

说明:

¹ V_{DDx} 是原边或副边电源 V_{DD}, 其中 x=1 或 2。

真值表

表 5. π130E3x/π131E3x 真值表

V _{ix} 输入 ¹	V _{DDi} 状态 ¹	V _{DDO} 状态 ¹	V _{Ox} 输出 ¹ (默认输出低电平型号器件)	V _{Ox} 输出 ¹ (默认输出高电平型号器件)	测试条件/说明
低电平	供电正常 ²	供电正常 ²	低电平	低电平	正常工作状态
高电平	供电正常 ²	供电正常 ²	高电平	高电平	正常工作状态
开路	供电正常 ²	供电正常 ²	低电平	高电平	默认输出
任意状态 ⁴	未供电 ³	供电正常 ²	低电平	高电平	默认输出 ⁵
任意状态 ⁴	供电正常 ²	未供电 ³	高阻	高阻	

说明:

¹ V_{ix}/V_{Ox} 是给定通道 (A 或 B) 的输入/输出信号。V_{DDi}/V_{DDO} 是此给定通道的输入/输出信号侧的电源电压。² 正常供电是指 V_{DDx} ≥ 2.95V³ 未供电指 V_{DDx} < 2.30V⁴ 实际应用时输入信号(V_{ix})必须处于低电平状态, 以避免通过其 ESD 保护电路为给定的 V_{DDi} 供电。⁵ 如果 V_{DDi} 进入未供电状态, 则通道会在大约 1μs 后输出默认逻辑信号。如果 V_{DDi} 进入上电状态, 则通道会在大约 3μs 之后输出输入状态逻辑信号。

表 6. π130E6x/π131E6x 真值表

V _{ix} 输入 ¹	EN1/2 状态	V _{DDI} 状态 ¹	V _{DDO} 状态 ¹	V _{ox} 输出 ¹ (默认输出低电平型号器件)	V _{ox} 输出 ¹ (默认输出高电平型号器件)	测试条件/说明
低电平	高电平 或 不连接	供电正常 ²	供电正常 ²	低电平	低电平	正常工作状态
高电平	高电平 或 不连接	供电正常 ²	供电正常 ²	高电平	高电平	正常工作状态
任意状态 ⁴	低电平	供电正常 ²	供电正常 ²	高阻	高阻	禁止输出
开路	高电平 或 不连接	供电正常 ²	供电正常 ²	低电平	高电平	默认输出 ⁵
任意状态 ⁴	高电平 或 不连接	未供电 ³	供电正常 ²	低电平	高电平	默认输出 ⁵
任意状态 ⁴	低电平	未供电 ³	供电正常 ²	高阻	高阻	
任意状态 ⁴	任意状态 ⁴	供电正常 ²	未供电 ³	高阻	高阻	

说明:

¹ V_{ix}/V_{ox} 是给定通道 (A 或 B) 的输入/输出信号。V_{DDI}/V_{DDO} 是此给定通道的输入/输出信号侧的电源电压。

² 正常供电是指 V_{DDx} ≥ 2.95V

³ 未供电指 V_{DDx} < 2.30V

⁴ 实际应用时输入信号(V_{ix})必须处于低电平状态, 以避免通过其 ESD 保护电路为给定的 V_{DDI}¹ 供电。

⁵ 如果 V_{DDI} 进入未供电状态, 则此通道会在大约 1us 后输出默认逻辑信号。如果 V_{DDI} 进入上电状态, 则此通道会在大约 3us 之后输出输入状态逻辑信号。

规格书

电气特性

表 7. π13xE3x 开关特性

V_{DD1} - V_{GND1} = V_{DD2} - V_{GND2} = 3.3V_{DC} ± 10% 或 5V_{DC} ± 10%, T_A = 25°C, 除非另有说明。

参数	符号	最小值	典型值	最大值	单位	测试条件/说明
最小脉冲宽度	PW			5	ns	在脉冲宽度失真(PWD)限制内
最大数据速率		200			Mbps	在脉冲宽度失真(PWD)限制内
传输延时 ^{1,4}	t _{pHL} , t _{pLH}	5.5	8	12.5	ns	5V _{DC} 供电时
		6.5	9	13.5	ns	3.3V _{DC} 供电时
脉宽失真 ⁴	PWD		0.3	3.0	ns	5V _{DC} 供电时, t _{pHL} 与 t _{pLH} 最大差值。
			0.4	3.0	ns	3.3V _{DC} 供电时, t _{pHL} 与 t _{pLH} 最大差值。
不同器件间传输延时偏差 ⁴	t _{psk}			2	ns	5V _{DC} 供电时, 在相同温度, 负载和电压下, 任何两个器件之间的最大传播延迟时间差异。
				2	ns	3.3V _{DC} 供电时, 在相同温度, 负载和电压下, 任何两个器件之间的最大传播延迟时间差异。
通道间传输延时偏差 ⁴	t _{csk}		0	1.8	ns	5V _{DC} 供电时, 单个器件中任何两个通道间的最大传输延迟时间差异。
			0	2	ns	3.3V _{DC} 供电时, 单个器件中任何两个通道间的最大传输延迟时间差异。
输出信号上升/下降时间 ⁴	t _r /t _f		1.5		ns	参见图 9
每通道动态输入电流	I _{DDI(D)}		9		μA/Mbps	5V _{DC} 供电, C _L = 0 pF, 输入信号为 50% 占空比方波
每通道动态输出电流	I _{DDO(D)}		38		μA/Mbps	5V _{DC} 供电, C _L = 0 pF, 输入信号为 50% 占空比方波
每通道动态输入电流	I _{DDI(D)}		5		μA/Mbps	3.3V _{DC} 供电, C _L = 0 pF, 输入信号为 50% 占空比方波
每通道动态输出电流	I _{DDO(D)}		23		μA/Mbps	3.3V _{DC} 供电, C _L = 0 pF, 输入信号为 50% 占空比方波

共模瞬变抗扰度 ³	CMTI	75	kV/μs	$V_{IN} = V_{DDx}^2$ 或 0V, $V_{CM} = 1000$ V。
Jitter		120	ps p-p	参见 Jitter 测试一节
		20	ps rms	
ESD (HBM - 人体模型)	ESD	±8	kV	

说明:
¹ t_{pHL} 传输延时是从 V_{ix} 信号上升沿的 50% 水平至 V_{ox} 信号上升沿的 50% 水平的的时间, t_{pHL} 是从 V_{ix} 信号下降沿的 50% 水平至 V_{ox} 信号下降沿的 50% 水平的的时间。参见图 10。
² V_{DDx} 是原边或副边电源 V_{DD} , 其中 $x=1$ 或 2。
³ 共模瞬变抗扰度 CMTI 的测量方法参见图 17。
⁴ t_r 是从 V_{ix} 信号上升沿的 10% 水平至上升沿的 90% 水平的的时间, t_f 是从 V_{ix} 信号下降沿的 90% 水平至 10% 水平的的时间。

表 8. π13xE6x 开关特性

$V_{DD1} - V_{GND1} = V_{DD2} - V_{GND2} = 3.3V_{DC} \pm 10\%$ 或 $5V_{DC} \pm 10\%$, $T_A = 25^\circ C$, 除非另有说明。

参数	符号	最小值	典型值	最大值	单位	测试条件/说明
最小脉冲宽度	PW			5	ns	在脉冲宽度失真(PWD)限制内
最大数据速率		200			Mbps	在脉冲宽度失真(PWD)限制内
传输延时 ^{1,4}	t_{pHL}, t_{pLH}		12	16	ns	5V _{DC} 供电时
			14	18.5	ns	3.3V _{DC} 供电时
脉宽失真 ⁴	PWD		0.3	3.0	ns	5V _{DC} 供电时, t_{pHL} 与 t_{pLH} 最大差值。
			0.4	3.0	ns	3.3V _{DC} 供电时, t_{pHL} 与 t_{pLH} 最大差值。
不同器件间传输延时偏差 ⁴	t_{psk}			2	ns	5V _{DC} 供电时, 在相同温度, 负载和电压下, 任何两个器件之间的最大传播延迟时间差异。
				2	ns	3.3V _{DC} 供电时, 在相同温度, 负载和电压下, 任何两个器件之间的最大传播延迟时间差异。
通道间传输延时偏差 ⁴	t_{csk}		0	1.8	ns	5V _{DC} 供电时, 单个器件中任何两个通道间的最大传输延迟时间差异。
			0	2	ns	3.3V _{DC} 供电时, 单个器件中任何两个通道间的最大传输延迟时间差异。
输出信号上升/下降时间 ⁴	t_r/t_f		1.5		ns	参见图 9
禁用传播延迟, 高电平到高阻抗输出 ⁵	t_{PHZ}		20	41	ns	5V _{DC} 供电
			24	50	ns	3.3V _{DC} 供电
禁用传播延迟, 低电平到高阻抗输出	t_{PLZ}		20	41	ns	5V _{DC} 供电
			24	50	ns	3.3V _{DC} 供电
使能传播延迟, 高阻抗到高电平输出	t_{PZH}		12	25	ns	5V _{DC} 供电, 适用于 π13xE61
			16	33	ns	3.3V _{DC} 供电, 适用于 π13xE61
			1.7	5.7	us	5V _{DC} 供电, 适用于 π13xE60
			1.1	4.4	us	3.3V _{DC} 供电, 适用于 π13xE60
使能传播延迟, 高阻抗到低电平输出	t_{PZL}		1.7	5.7	us	5V _{DC} 供电, 适用于 π13xE61
			1.1	4.4	us	3.3V _{DC} 供电, 适用于 π13xE61
			12	25	ns	5V _{DC} 供电, 适用于 π13xE60
			16	33	ns	3.3V _{DC} 供电, 适用于 π13xE60
每通道动态输入电流	$I_{DDI(D)}$		10		μA /Mbps	5V _{DC} 供电, $C_L = 0$ pF, 输入信号为 50% 占空比方波
每通道动态输出电流	$I_{DDO(D)}$		45		μA /Mbps	
每通道动态输入电流	$I_{DDI(D)}$		9		μA /Mbps	3.3V _{DC} 供电, $C_L = 0$ pF, 输入信号为 50% 占空比方波
每通道动态输出电流	$I_{DDO(D)}$		28		μA /Mbps	
共模瞬变抗扰度 ³	CMTI		120		kV/μs	$V_{IN} = V_{DDx}^2$ 或 0V, $V_{CM} = 1000$ V。

Jitter		180	ps p-p	参见 Jitter 测试一节
		30	ps rms	
ESD (HBM - 人体模型)	ESD	±8	kV	

说明:

¹t_{plH} 传输延时是从 V_{ix} 信号上升沿的 50% 水平至 V_{ox} 信号上升沿的 50% 水平的时间, t_{phL} 是从 V_{ix} 信号下降沿的 50% 水平至 V_{ox} 信号下降沿的 50% 水平的时间。参见图 10。

²V_{DDx} 是原边或副边电源 V_{DD}, 其中 x=1 或 2。

³共模瞬变抗扰度 CMTI 的测量方法参见图 17。

⁴t_r 是从 V_{ix} 信号上升沿的 10% 水平至上升沿的 90% 水平的时间, t_f 是从 V_{ix} 信号下降沿的 90% 水平至 10% 水平的时间。

⁵t_{PLZ}, t_{PZL} 的测试方法参见图 11, 图 12, t_{PHZ}, t_{PZH} 的测试方法参见图 13, 图 14。

表 9. 直流特性

V_{DD1} - V_{GND1} = V_{DD2} - V_{GND2} = 3.3V_{DC}±10% 或 5V_{DC}±10%, T_A=25°C, 除非另有说明。

参数	符号	最小值	典型值	最大值	单位	测试条件/说明
输入信号高电平电压阈值	V _{IT+}		0.6*V _{DDx} ¹	0.7*V _{DDx} ¹	V	
输入信号低电平电压阈值	V _{IT-}	0.3*V _{DDx} ¹	0.4*V _{DDx} ¹		V	
高电平输出时电压	V _{OH} ¹	V _{DDx} - 0.1	V _{DDx}		V	-20 μA 输出电流
		V _{DDx} - 0.2	V _{DDx} - 0.1		V	-2 mA 输出电流
低电平输出时电压	V _{OL}	0	0.1	0.1	V	20 μA 输出电流
			0.1	0.2	V	2 mA 输出电流
每通道输入电流	I _{IN}	-10	0.5	10	μA	0 V ≤ 信号电压 ≤ V _{DDx} ¹
V _{DDx} ¹ 欠电压阈值 (电压上升)	V _{DDxUV+}	2.45	2.75	2.95	V	
V _{DDx} ¹ 欠电压阈值 (电压下降)	V _{DDxUV-}	2.30	2.60	2.75	V	
V _{DDx} ¹ 欠压阈值迟滞	V _{DDxUVH}		0.15		V	

说明:

¹V_{DDx} 是原边或副边电源 V_{DD}, 其中 x=1 或 2。

表 10. 静态供电电流

V_{DD1} - V_{GND1} = V_{DD2} - V_{GND2} = 3.3V_{DC}±10% 或 5V_{DC}±10%, T_A=25°C, C_L = 0pF, 除非另有说明。

型号	符号	最小值	典型值	最大值	单位	测试条件	
						供电电压	输入信号
π130E3x	I _{DD1} (Q)	0.13	0.16	0.20	mA	5V _{DC}	π13xE0 低电平 0V
	I _{DD2} (Q)	1.25	1.56	2.03			π13xE1 高电平 5V
	I _{DD1} (Q)	0.31	0.39	0.50	mA		π13xE0 高电平 5V
	I _{DD2} (Q)	1.18	1.48	1.92			π13xE1 低电平 0V
	I _{DD1} (Q)	0.12	0.15	0.20	mA	3.3V _{DC}	π13xE0 低电平 0V
	I _{DD2} (Q)	1.24	1.54	2.01			π13xE1 高电平 3.3V
π131E3x	I _{DD1} (Q)	0.48	0.60	0.78	mA	5V _{DC}	π13xE0 低电平 0V
	I _{DD2} (Q)	0.89	1.11	1.44			π13xE1 高电平 5V
	I _{DD1} (Q)	0.59	0.74	0.96	mA		π13xE0 高电平 5V
	I _{DD2} (Q)	0.88	1.10	1.43			π13xE1 低电平 0V
	I _{DD1} (Q)	0.47	0.59	0.77	mA	3.3V _{DC}	π13xE0 低电平 0V
	I _{DD2} (Q)	0.88	1.10	1.43			π13xE1 高电平 3.3V
π130E6x	I _{DD1} (Q)	0.10	0.12	0.20	mA	5V _{DC}	π13xE0 低电平 0V
	I _{DD2} (Q)	1.25	1.65	2.23			π13xE1 高电平 5V
	I _{DD1} (Q)	0.31	0.44	0.61	mA		π13xE0 高电平 5V
	I _{DD2} (Q)	1.18	1.52	2.06			π13xE1 低电平 0V

型号	符号	最小值	典型值	最大值	单位	测试条件	
						供电电压	输入信号
π131E6x	I _{DD1} (Q)	0.09	0.11	0.20	mA	3.3V _{DC}	π13xEx0 低电平 0V
	I _{DD2} (Q)	1.24	1.60	2.17	mA		π13xEx1 高电平 3.3V
	I _{DD1} (Q)	0.23	0.28	0.38	mA		π13xEx0 高电平 3.3V
	I _{DD2} (Q)	1.13	1.47	1.98	mA		π13xEx1 低电平 0V
	I _{DD1} (Q)	0.48	0.61	0.80	mA	5V _{DC}	π13xEx0 低电平 0V
	I _{DD2} (Q)	0.89	1.09	1.42	mA		π13xEx1 高电平 5V
	I _{DD1} (Q)	0.59	0.80	1.04	mA	3.3V _{DC}	π13xEx0 高电平 5V
	I _{DD2} (Q)	0.88	1.06	1.38	mA		π13xEx1 低电平 0V
I _{DD1} (Q)	0.47	0.59	0.77	mA	π13xEx0 低电平 0V		
I _{DD2} (Q)	0.88	1.08	1.41	mA	π13xEx1 高电平 3.3V		
I _{DD1} (Q)	0.52	0.68	0.89	mA	3.3V _{DC}	π13xEx0 高电平 3.3V	
I _{DD2} (Q)	0.83	1.00	1.30	mA		π13xEx1 低电平 0V	

表 11.总电源电流与数据吞吐量 (C_L = 0pF)

V_{DD1} - V_{GND1} = V_{DD2} - V_{GND2} = 3.3V_{DC}±10% 或 5V_{DC}±10%, T_A=25°C, C_L = 0pF, 除非另有说明。

型号	符号	2 Mbps			20 Mbps			200 Mbps			单位	供电电压
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值		
π130E3x	I _{DD1}	0.42	0.67		0.88	1.41		5.74	9.18		mA	5V _{DC}
	I _{DD2}	1.79	2.87		4.23	6.77		26.16	41.86		mA	
	I _{DD1}	0.30	0.48		0.68	1.09		3.38	5.41		mA	3.3V _{DC}
	I _{DD2}	1.71	2.73		3.44	5.50		17.00	27.20		mA	
π131E3x	I _{DD1}	0.85	1.36		1.90	3.03		12.42	19.87		mA	5V _{DC}
	I _{DD2}	1.43	2.28		2.64	4.22		19.36	30.98		mA	
	I _{DD1}	0.75	1.20		1.51	2.41		7.80	12.48		mA	3.3V _{DC}
	I _{DD2}	1.29	2.06		1.96	3.13		12.44	19.90		mA	
π130E6x	I _{DD1}	0.47	0.74		1.52	2.43		13.10	20.96		mA	5V _{DC}
	I _{DD2}	1.88	3.01		4.34	6.94		29.24	46.78		mA	
	I _{DD1}	0.29	0.46		0.94	1.50		7.66	12.26		mA	3.3V _{DC}
	I _{DD2}	1.78	2.85		3.54	5.66		19.84	31.74		mA	
π131E6x	I _{DD1}	0.95	1.52		2.48	3.97		19.26	30.82		mA	5V _{DC}
	I _{DD2}	1.46	2.34		2.80	4.47		23.88	38.21		mA	
	I _{DD1}	0.78	1.25		1.86	2.98		11.94	19.10		mA	3.3V _{DC}
	I _{DD2}	1.29	2.06		2.06	3.30		16.08	25.73		mA	

绝缘和安全相关规格

表 12.绝缘规格

参数	符号	数值		单位	测试条件/说明
		π13xE3x	π13xE6x		
额定绝缘电压		3000	5000	V _{rms}	持续 1 分钟
最小外部气隙 (电气间隙)	L (CLR)	≥4	≥8	mm	测量输入端至输出端, 空气最短距离
最小外部路径 (爬电距离)	L (CRP)	≥4	≥8	mm	测量输入端至输出端, 沿壳体最短距离
最小内部间隙 (内部间隙)		≥11	≥21	μm	隔离距离
路径阻抗(相比漏电起痕指数)	CTI	>400	>400	V	DIN EN 60112 (VDE 0303-11):2010-05
材料组别		II	II		IEC 60112:2003 + A1:2009

封装特性

表 13. 封装特性

参数	符号	典型值		单位	测试条件/说明
		π 13xE3x	π 13xE6x		
电阻 (输入对输出) ¹	R _{IO}	10 ¹¹	10 ¹¹	Ω	
电容 (输入对输出) ¹	C _{IO}	1.5	1.5	pF	f=1MHz
输入电容 ²	C _I	3	3	pF	f=1MHz
IC 结至空气热阻	θ_{JA}	100	45	$^{\circ}\text{C}/\text{W}$	热电偶位于封装底面中心

说明:

¹ 该器件被认为是两端器件。将 VDD₁ 一侧的所有端子短接在一起作为一端, 将 VDD₂ 一侧所有端子短接在一起作为另一端。² 指从输入信号引脚到电源地之间的电容值。

法规信息

关于特定通过隔离栅的波形和绝缘水平下的推荐最大工作电压, 请参见表 1414。

表 14. 法规信息

法规	π 13xE3x	π 13xE6x
UL	UL1577 器件认可程序认可 ¹ 单一/基本保护, 3000 V _{rms} 隔离电压 文件(E494497)	UL1577 器件认可程序认可 ¹ 单一/基本保护, 5000 V _{rms} 隔离电压 文件(E494497)
VDE	DIN VDE V 0884-11:2017-01 ² 基本绝缘: V _{IORM} = 565 V 峰值, V _{IOSM} = 3615 V 峰值 文件(40053041)	DIN VDE V 0884-11:2017-01 ² 基本绝缘: V _{IORM} = 1200 V 峰值, V _{IOSM} = 5000 V 峰值 文件(40052896)
CQC	符合 CQC11-471543-2012、GB4943.1-2011 标准 基本绝缘: 500V _{rms} (707V 峰值)最大工作电压 加强绝缘: 250V _{rms} (353V 峰值)最大工作电压 NB SOIC-16 文件(CQC20001260212) SSOP16 文件(CQC20001260213)	符合 CQC11-471543-2012、GB4943.1-2011 标准 基本绝缘: 845V _{rms} (1200V 峰值)最大工作电压 加强绝缘: 422V _{rms} (600V 峰值)最大工作电压 WB SOIC-16 文件(CQC20001260258)

说明:

¹ 根据 UL 1577, 通过施加 ≥ 3600 V rms 的绝缘测试电压 1 秒钟, 对每个 π 1xxx3x 进行证明测试; 通过施加 ≥ 6000 V rms 的绝缘测试电压 1 秒钟, 对每个 π 1xxx6x 进行证明测试² 根据 DIN VDE V 0884-11, 对每个 π 1xxx3x 进行绝缘测试, 并施加 ≥ 848 V 峰值的绝缘测试电压 1 秒钟 (局部放电阈值 = 5 pC); 每个 π 1xxx6x 经过 ≥ 1800 V 峰值的证明测试 1 秒钟。

DIN VDE V 0884-11 (VDE V 0884-11) 隔离特性

表 15. VDE 隔离特性

描述	测试条件/说明	符号	特性		单位
			π 13xE3x	π 13xE6x	
DIN VDE 0110 装置分类					
额定电源电压 ≤ 150 V rms			I 至 IV	I 至 IV	
额定电源电压 ≤ 300 V rms			I 至 III	I 至 III	
额定电源电压 ≤ 400 V rms			I 至 III	I 至 III	
环境分类			40/105/21	40/105/21	
污染等级(DIN VDE 0110, 表 1)			2	2	
最大重复峰值隔离电压		V _{IORM}	565	1200	V 峰值
输入至输出测试电压, 方法 b1	V _{IORM} \times 1.5 = V _{pd(m)} , 100% 产品测试, t _{ini} = t _m = 1s, 局部放电 < 5pC	V _{pd(m)}	848	1800	V 峰值

描述	测试条件/说明	符号	特性		单位
			π13xE3x	π13xE6x	
输入至输出测试电压, 方法 a					
跟随环境测试, 子类 1	$V_{IORM} \times 1.3 = V_{pd(m)}$, $t_{ini} = 60s$, $t_m = 10s$, 局部放电 < 5pC	$V_{pd(m)}$	735	1560	V 峰值
跟随输入和/或安全测试, 子类 2 和子类 3	$V_{IORM} \times 1.2 = V_{pd(m)}$, $t_{ini} = 60s$, $t_m = 10s$, 局部放电 < 5pC	$V_{pd(m)}$	678	1440	V 峰值
最高允许过压		V_{IOTM}	4200	7071	V 峰值
基本绝缘浪涌(冲击)电压	1.2/50us 组合波, $V_{TEST} = 1.3 \times$ V_{IOSM} (验证测试) ¹	V_{IOSM}	3615	5000	V 峰值
安全限值	发生故障时允许的最大值(参见图 5)				
最大安全温度		T_S	150	150	°C
25°C下最大耗散功率		P_S	1.67	2.78	W
在 T_S 的绝缘电阻	$V_{IO} = 500 V$	R_S	>10 ⁹	>10 ⁹	Ω

¹ 依据 DIN V VDE V 0884-11, π1xxx3x 器件可通过 4700V 浪涌电压验证测试, π1xxx6x 器件可通过 6500V 浪涌电压验证测试。



温度特性曲线

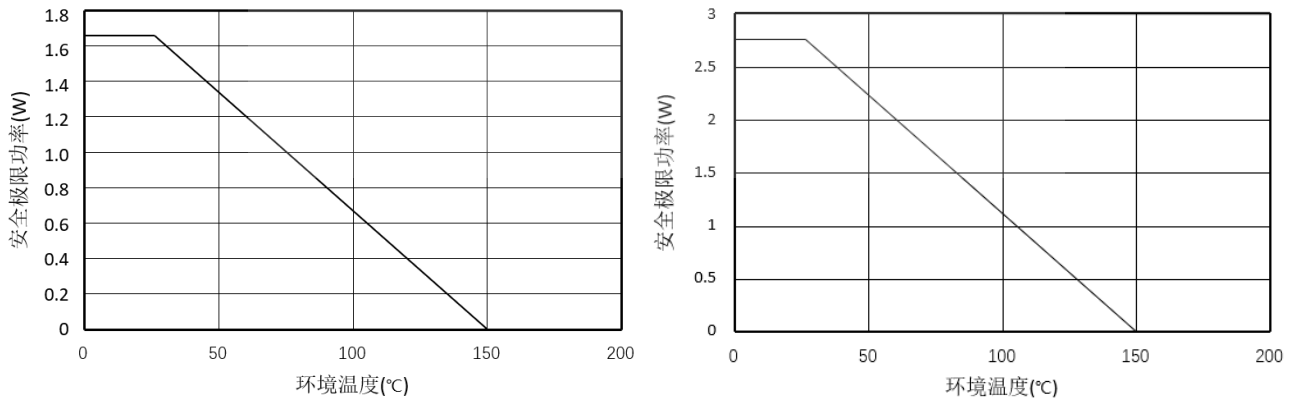


图 5.热降额曲线, 依据 DIN V VDE V 0884-11 的安全限值与环境温度的关系(左: π13xE3x; 右: π13xE6x)

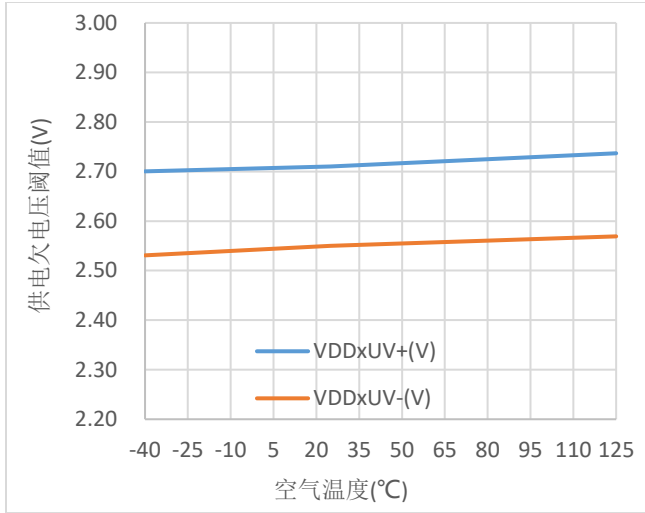


图 6.UVLO vs. 空气温度

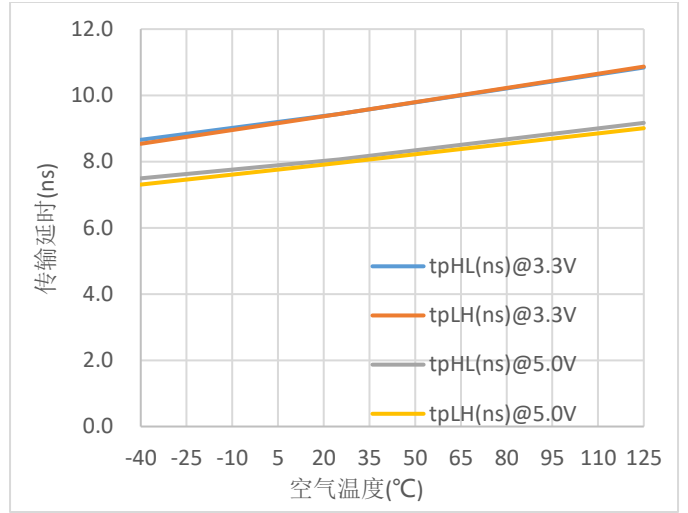


图 7.π13xE3x 传输延时 vs. 空气温度

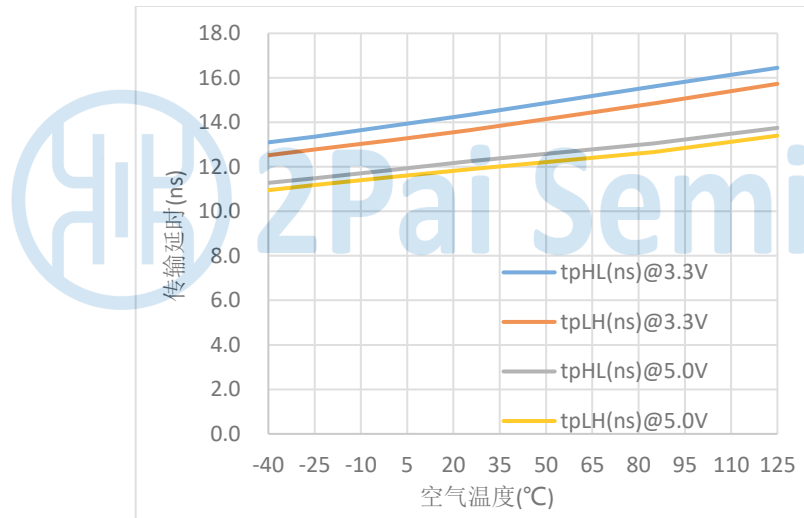


图 8.π13xE6x 传输延时 vs. 空气温度

时序特性测试信息

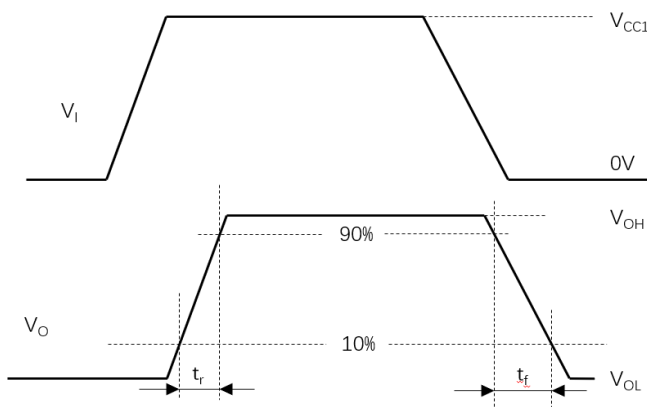


图 9.传输时间波形测量

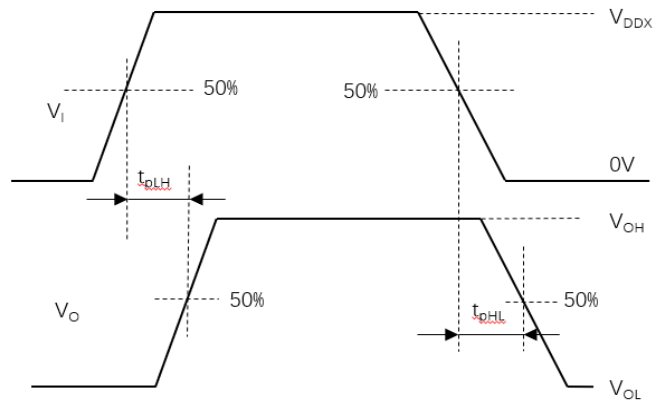


图 10.传输延迟时间波形测量

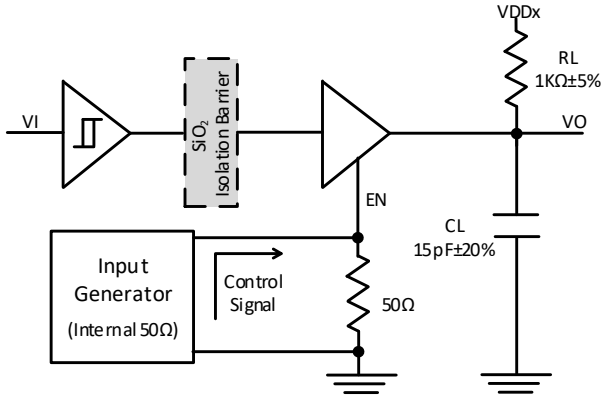


图 11. t_{PZL}/t_{PLZ} 测试线路

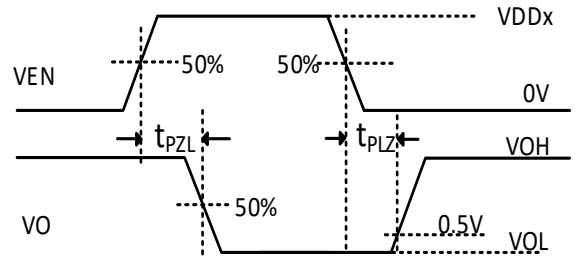


图 12. t_{PZL}/t_{PLZ} 测试波形

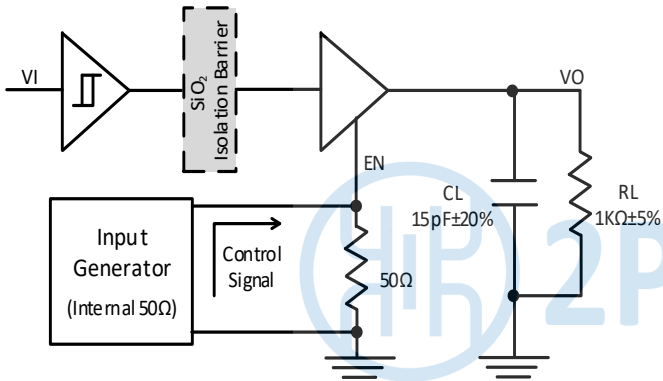


图 13. t_{PZH}/t_{PHZ} 测试线路

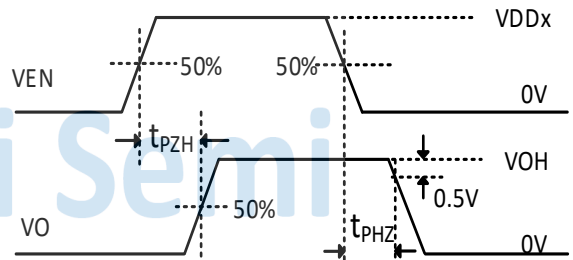


图 14. t_{PZH}/t_{PHZ} 测试波形

应用信息

概述

$\pi 1xxxxx$ 系列数字隔离器是基于荣湃半导体独特的智能分压器技术(*iDivider*®技术)的产品。

智能分压器技术(*iDivider*®技术)是荣湃半导体发明的新一代数字隔离器技术。它使用电容器分压器的原理,使信号直接通过隔离介质传输,而无需对信号进行调制和解调。

与传统的光耦合技术、*iCoupler* 技术、OOK 技术相比,*iDivider*®技术是一种更简洁、更可靠的隔离信号传输技术,能显著提高器件性能,在功耗、传输速率、抗干扰能力等方面有着明显的优势。

$\pi 1xxxxx$ 系列数字隔离器数据通道是独立的,并具有多种配置,额定电压范围为 1.5 kV rms 至 5.0 kV rms,数据速率从 DC 高达 600Mbps。

$\pi 130Exx/\pi 131Exx$ 是出色的 200Mbps 三通道数字隔离器,具有增强的 ESD 能力。这些器件通过二氧化硅隔离层跨隔离栅传输数据。这些器件的任一边电源电压范围为 3.0V 至 5.5V,可提供 3.3V 和 5V 逻辑电压转换。故障安全输出状态为低或高的型号请参见《订购指南》。

PCB 设计

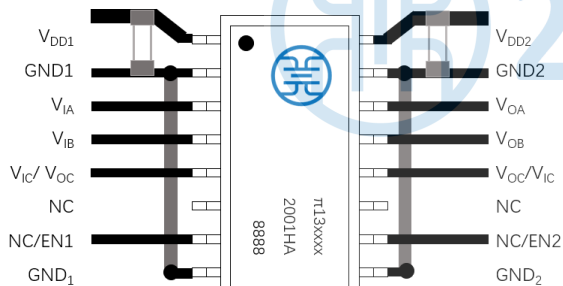


图 15. 推荐的印刷电路板布局

低 ESR 陶瓷旁路电容器必须连接在 VDD_1 与 GND_1 之间以及 VDD_2 与 GND_2 之间。旁路电容器应尽可能靠近隔离器放置在 PCB 上。推荐的旁路电容值在 0.1uF 至 10uF 之间。如果系统噪声太大,或者为了增强系统的抗 ESD 能力,用户还可以在输入和输出端串联电阻(50~300Ω)。

隔离器下方不推荐走线、过孔、敷设金属平面等,避免降低爬电间距或电气间隙。

为了使信号返回路的阻抗最小化,请将接地平面层直接放在高速信号路径的下方,越近越好。返回路径将在最近的接

地层与信号路径之间耦合。保持适当的走线宽度,以控制传输线阻抗。

为了减少上升时间的下降,请保持输入/输出信号走线的长度尽可能短,使信号路径和返回路径上等效电感尽量小。

JITTER 测量

图中所示的眼图是 $\pi 13xExx$ 的 Jitter 测量结果。

测试时使用 Keysight 81160A 脉冲函数任意生成器作为信号输入源,Keysight DSOS104A 数字存储示波器测量数字隔离器的输出信号,并使用 SDA 抖动工具和眼图分析工具恢复眼图。结果显示了典型的 Jitter 测量数据。

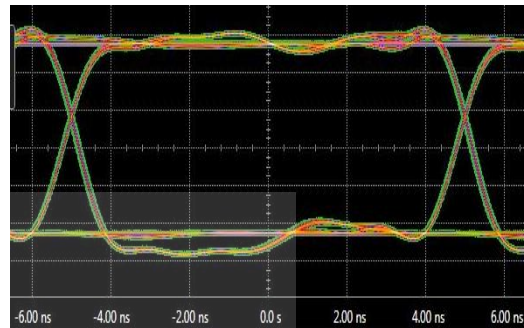


图 16. $\pi 13xExx$ 眼图

CMTI 测量

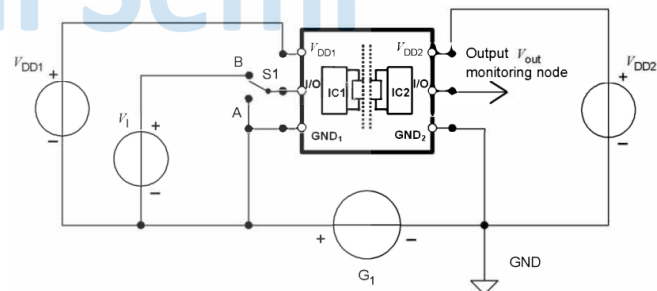


图 17. 共模瞬变抗扰度(CMTI)测量

$\pi 1xxxxx$ 系列数字隔离器的共模瞬变抗扰度(CMTI)需要在指定的共模脉冲幅度(V_{CM})和指定的共模脉冲摆率(dV_{CM}/dt)以及其他指定的测试或环境条件下测量。共模脉冲发生器(G1)能提供指定幅度快速上升/下降和持续时间的共模脉冲,最大共模电转压摆率(dV_{CM}/dt)可以用于 $\pi 1xxxxx$ 数字隔离器的 CMTI 测量。共模脉冲施加在 $\pi 1xxxxx$ 隔离器的一侧接地 GND_1 和另一侧接地 GND_2 之间,并且应能够提供正向瞬变和负向瞬变。

外形尺寸

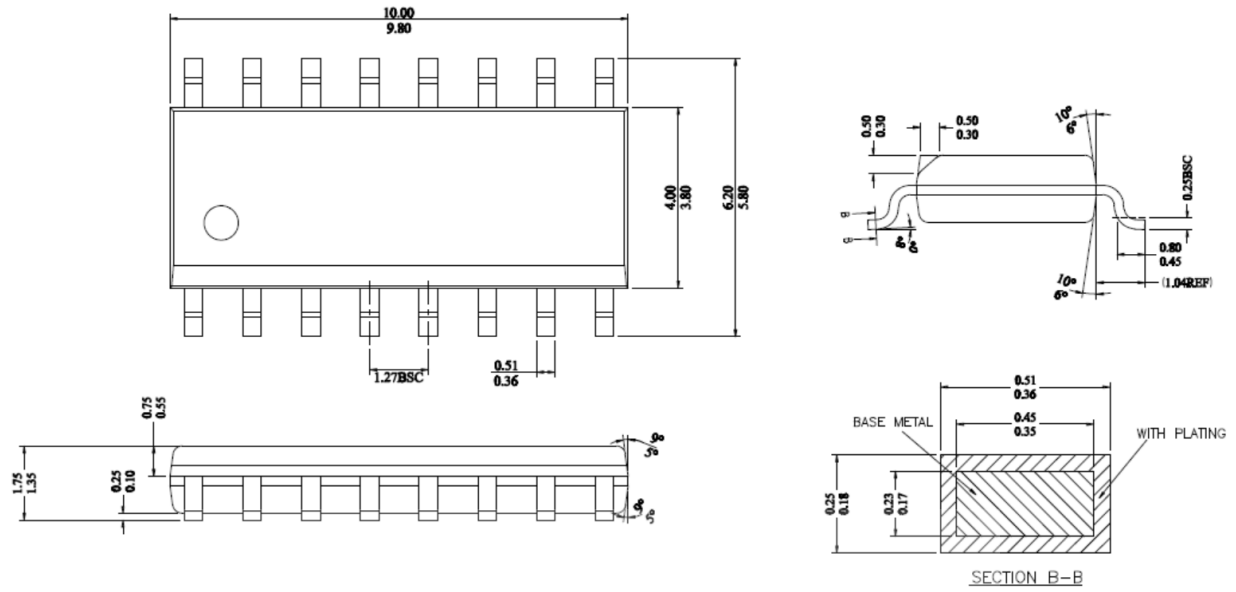


图 18. NB SOIC-16 封装外形尺寸-尺寸单位(mm)

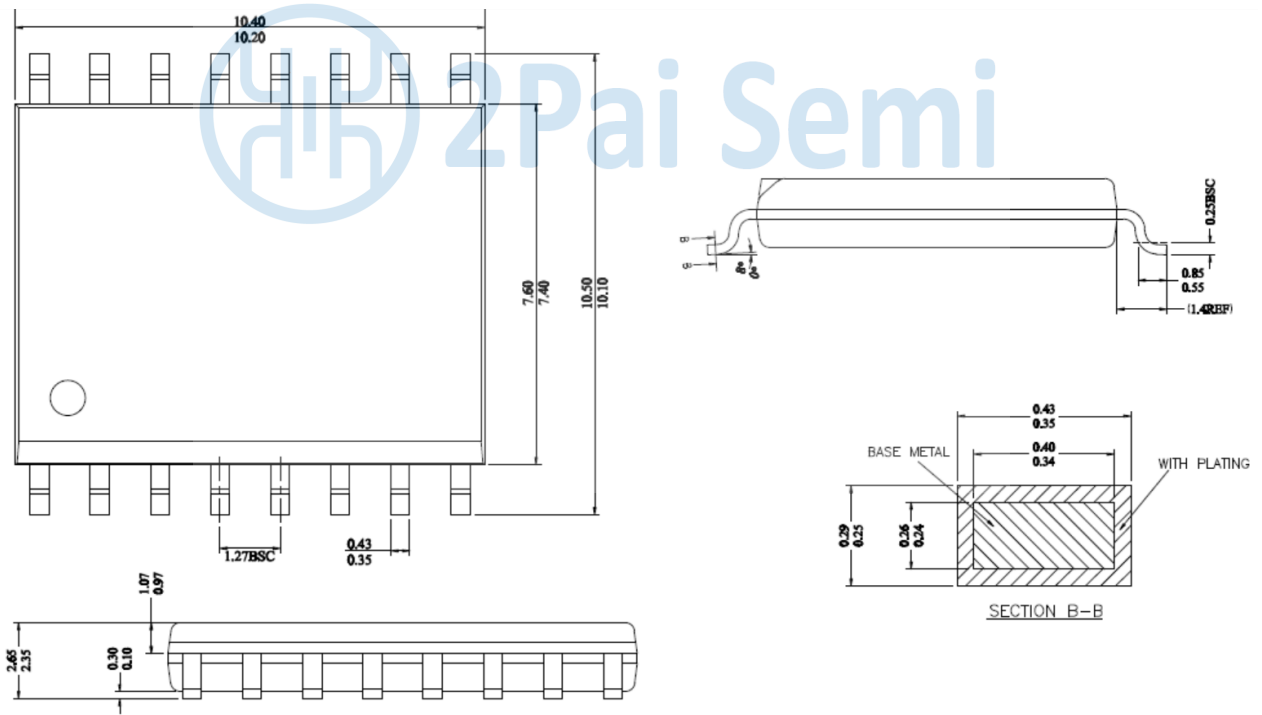
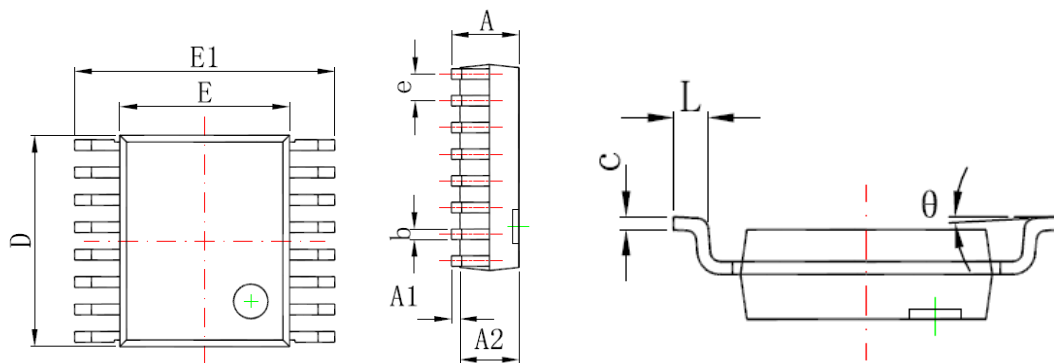


图 19. WB SOIC-16 封装外形尺寸-尺寸单位(mm)



符号	尺寸 (单位 mm)		尺寸 (单位英寸)	
	最小值	最大值	最小值	最大值
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.200	0.300	0.008	0.012
c	0.170	0.250	0.007	0.010
D	4.700	5.100	0.185	0.200
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	0.635(BSC)		0.025(BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

图 20. SSOP-16 封装外形尺寸

焊盘图案

16 脚窄体 SOIC 封装 [NB SOIC-16]

下图说明了 π1xxxxx 使用 16 引脚窄体 SOIC 封装时的推荐焊盘图案细节。下表列出了图中所示尺寸的值。

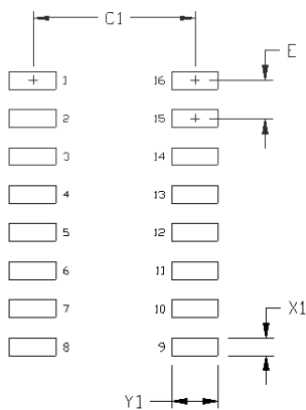


图 21. 16 引脚窄体 SOIC 封装 [NB SOIC-16] 焊盘图案

表 16.16 16 引脚窄体 SOIC 封装 [NB SOIC-16] 焊盘图案尺寸

尺寸	特征	值	单位
C1	Pad 列间距	5.40	mm
E	Pad 行间距	1.27	mm
X1	Pad 宽	0.60	mm
Y1	Pad 长	1.55	mm

说明:

1. 焊盘图案基于 IPC-7351 设计。

2.显示的所有特征尺寸均在最大材料条件下，并且假设制造公差为 0.05 毫米。

16 脚宽体 SOIC 封装 [WB SOIC-16]

下图说明了 $\pi 1xxxxx$ 使用 16 引脚宽体 SOIC 封装时的推荐焊盘图案细节。下表列出了图中所示尺寸的值。

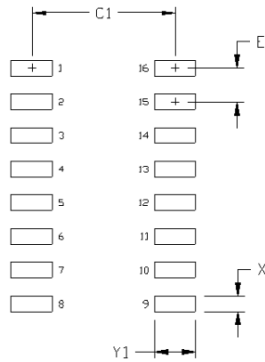


图 22. 16 引脚宽体 SOIC 封装 [WB SOIC-16] 焊盘图案

表 17.16 引脚宽体 SOIC 封装 [WB SOIC-16] 焊盘图案尺寸

尺寸	特征	值	单位
C1	Pad 列间距	9.40	mm
E	Pad 行间距	1.27	mm
X1	Pad 宽	0.60	mm
Y1	Pad 长	1.90	mm

说明:

- 1.焊盘图案基于 IPC-7351 设计。
- 2.显示的所有特征尺寸均在最大材料条件下，并且假设制造公差为 0.05 毫米。

16 脚 SSOP 封装

下图说明了 $\pi 1xxxxx$ 使用 16 引脚 SSOP 封装时的推荐焊盘图案细节。下表列出了图中所示尺寸的值。

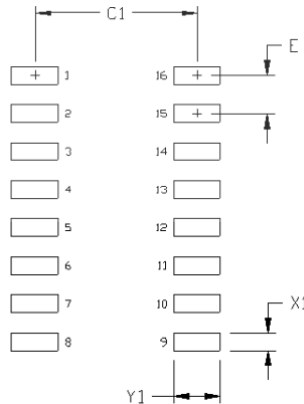


图 23. 16 引脚 SSOIC 封装 [16-Lead SSOP] 焊盘图案

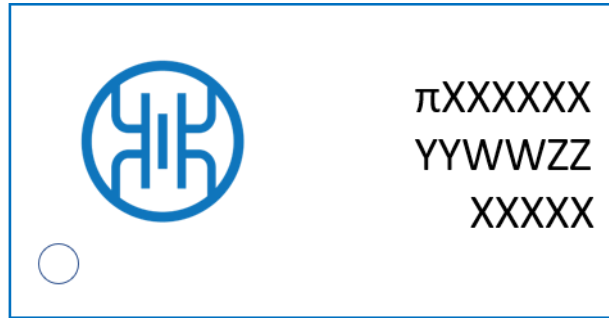
表 18. 16 引脚 SSOIC 封装 [16-Lead SSOP] 焊盘图案尺寸

尺寸	特征	值	单位
C1	Pad 列间距	5.40	mm
E	Pad 行间距	0.635	mm
X1	Pad 宽	0.40	mm
Y1	Pad 长	1.55	mm

说明:

- 1.焊盘图案基于 IPC-7351 设计。
- 2.显示的所有特征尺寸均在最大材料条件下，并且假设制造公差为 0.05 毫米。

顶层丝印图

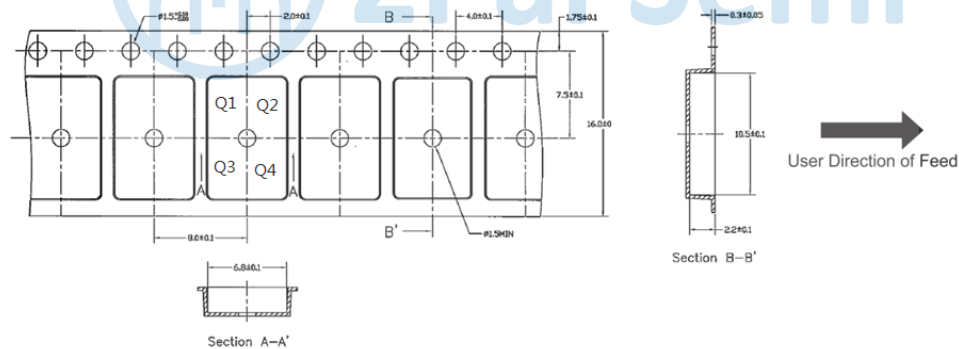


第一行	πXXXXXX=产品型号
第二行	YY = 生产年份 WW = 生产周 ZZ=生产工厂制定的制造代码
第三行	XXXX, 没有特殊含义

图 24. 产品丝印图

包装信息

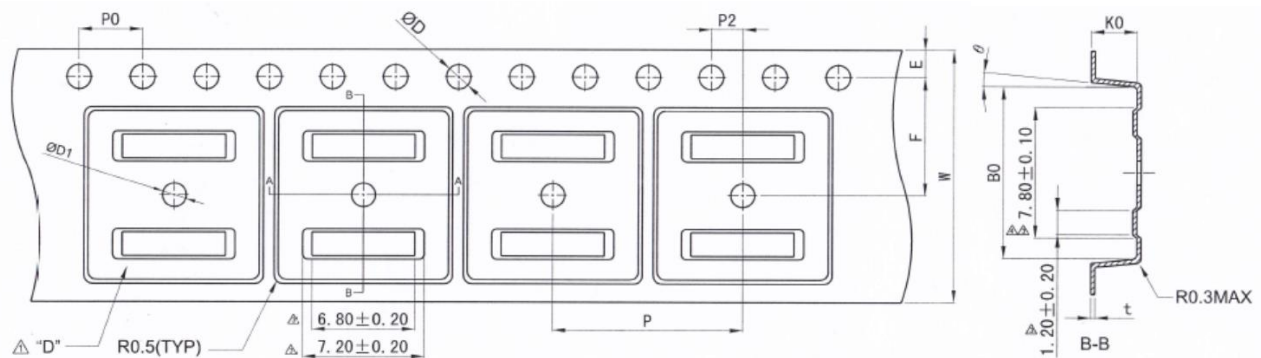
16 脚窄体 SOIC 封装 [NB SOIC-16]

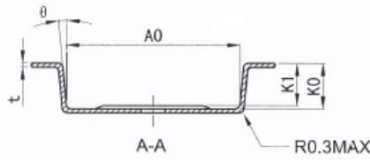


说明：芯片第一脚在象限 Q1。

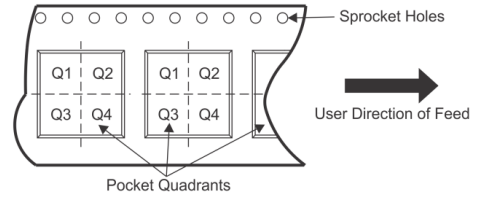
图 25. 16 引脚窄体 SOIC 封装 [NB SOIC-16] 包装信息-尺寸单位(mm)

16 脚宽体 SOIC 封装 [WB SOIC-16]





Items	Size(mm)	Items	Size(mm)
E	1.75±0.10	W	16.00±0.30
F	7.50±0.05	P	12.00±0.10
P2	2.00±0.05	A0	10.90±0.10
D	1.55±0.05	B0	10.80±0.10
D1	1.5±0.10	K0	3.00±0.10
P0	4.00±0.10	t	0.30±0.05
10P0	40.00±0.20	K1	2.70±0.10
		θ	5° TYP



说明：芯片第一脚在象限 Q1。

图 26. 16 引脚宽体 SOIC 封装 [WB SOIC-16] 包装信息

16-Lead SSOP

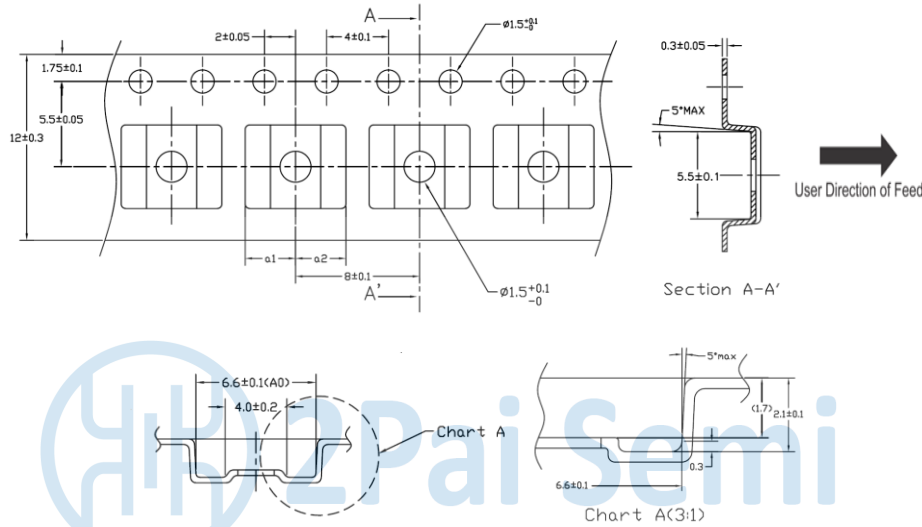


图 27. 16 引脚宽体 SSOP 封装包装信息-尺寸单位(mm)

订购指南

表 19. 型号列表

型号 ¹	工作温度范围	VDD1 侧 输入路数	VDD2 侧 输入路数	耐压等级 (kV rms)	默认输出电 平	封装描述	潮敏等级,允许最高 焊接温度 ²	每卷 数量
π130E31	-40 to 125°C	3	0	3	High	NB SOIC-16	Level-2-260C-1 YEAR	2500
π130E30	-40 to 125°C	3	0	3	Low	NB SOIC-16	Level-2-260C-1 YEAR	2500
π131E31	-40 to 125°C	2	1	3	High	NB SOIC-16	Level-2-260C-1 YEAR	2500
π131E30	-40 to 125°C	2	1	3	Low	NB SOIC-16	Level-2-260C-1 YEAR	2500
π130E61	-40 to 125°C	3	0	5	High	WB SOIC-16	Level-2-260C-1 YEAR	1500
π130E61Q	-40 to 125°C	3	0	5	High	WB SOIC-16	Level-2-260C-1 YEAR	1500
π130E60	-40 to 125°C	3	0	5	Low	WB SOIC-16	Level-2-260C-1 YEAR	1500
π130E60Q	-40 to 125°C	3	0	5	Low	WB SOIC-16	Level-2-260C-1 YEAR	1500
π131E61	-40 to 125°C	2	1	5	High	WB SOIC-16	Level-2-260C-1 YEAR	1500
π131E61Q	-40 to 125°C	2	1	5	High	WB SOIC-16	Level-2-260C-1 YEAR	1500
π131E60	-40 to 125°C	2	1	5	Low	WB SOIC-16	Level-2-260C-1 YEAR	1500
π131E60Q	-40 to 125°C	2	1	5	Low	WB SOIC-16	Level-2-260C-1 YEAR	1500
π130E31S	-40 to 125°C	3	0	3	High	16-Lead SSOP	Level-3-260C-168 HR	4000
π130E30S	-40 to 125°C	3	0	3	Low	16-Lead SSOP	Level-3-260C-168 HR	4000
π131E31S	-40 to 125°C	2	1	3	High	16-Lead SSOP	Level-3-260C-168 HR	4000
π131E30S	-40 to 125°C	2	1	3	Low	16-Lead SSOP	Level-3-260C-168 HR	4000

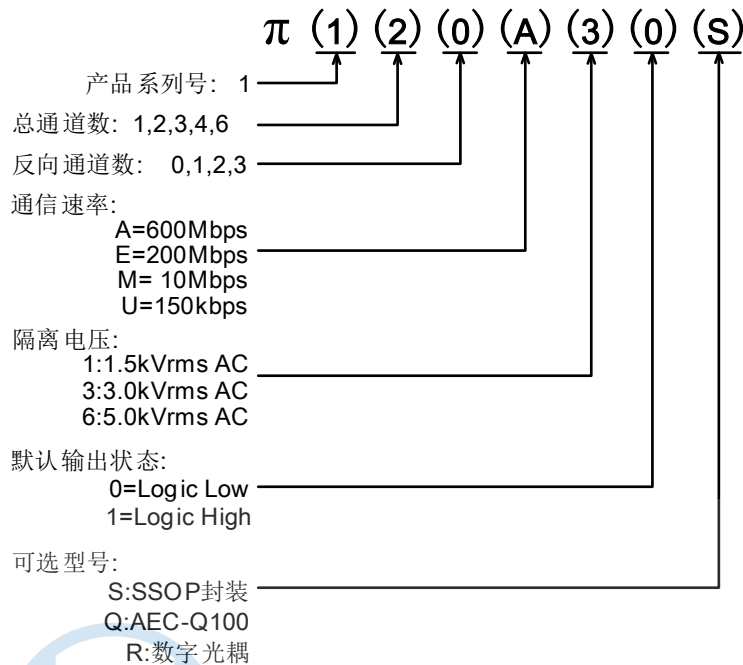
说明:

¹ 型号 Pai1xxxxx 与型号 π1xxxxx 等同

² 潮敏等级,允许最高焊接温度 - 根据 JEDEC 行业标准分类的湿度敏感度等级, 以及允许最高焊接温度。

³ 最小订购数量为一卷数量。

产品命名规则



注:型号 Pai1xxxxx 与型号 π1xxxxx 是等效的。

图 28.产品命名规则

免责声明

荣湃半导体尽量为客户提供最新、准确和深入的文档。但是，荣湃半导体对使用它或因使用它可能导致的任何专利侵权或第三方其他权利不承担任何责任。特征数据，可用型号和提供的“典型”参数在不同的应用中可能并且确实有所不同。本文描述的应用示例仅用于说明目的。荣湃半导体保留进行更改的权利，恕不另行通知，并且不对此处的产品信息，规格和说明进行任何限制，并且对所包含信息的准确性或完整性不做任何保证。荣湃半导体不对使用此处提供的信息的后果承担任何责任。

商标和注册商标是其各自所有者的财产。本文档并不暗示或明示授予其设计或制造任何集成电路的版权许可。

201203 上海市浦东新区博霞路 22 号 307-309 室 021-50850681

荣湃半导体(上海)有限公司，版权所有。

<http://www.rpsemi.com/>

版本历史

版本	日期	页面	变更记录
1.7	2020/04/16	所有	中文首次发布。与英文版本 1.7 版对应。
1.8	2021/05/17	第 1,5~9 页	更新安规证书状态；增加 π 1xxE6x 的传播延时、功耗。
1.9	2021/12/06	第 5,7,11,16,17 页	增加禁能使能延时参数、更新动态功耗；更新顶层丝印图；更新材料潮敏等级。

